

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2002-511215

(P2002-511215A)

(43)公表日 平成14年4月9日(2002.4.9)

(51)Int.Cl.⁷

H04N 5/335
5/217

識別記号

F I

H04N 5/335
5/217

テーマコード(参考)

P

審査請求 未請求 予備審査請求 有 (全 30 頁)

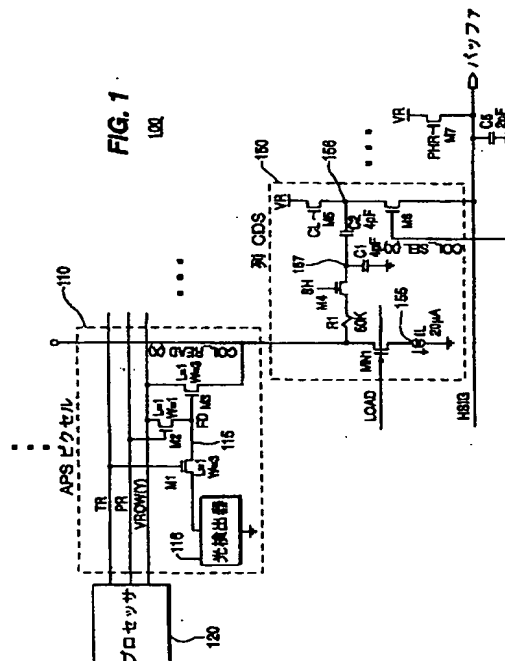
(21)出願番号 特願平11-502655
(86) (22)出願日 平成10年6月2日(1998.6.2)
(85)翻訳文提出日 平成11年12月2日(1999.12.2)
(86)国際出願番号 PCT/US98/11117
(87)国際公開番号 WO98/56170
(87)国際公開日 平成10年12月10日(1998.12.10)
(31)優先権主張番号 08/867,654
(32)優先日 平成9年6月2日(1997.6.2)
(33)優先権主張国 米国 (US)
(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), AU, BR, CN, JP, KR

(71)出願人 サーフ コーポレーション
アメリカ合衆国 ニュー ジャージー州
プリンストン シーエヌ 5300 ワシントン
ロード 201
(72)発明者 サウアー, ドナルド, ジョン
アメリカ合衆国 ニュー ジャージー州
アレントウン トウウェイン ドライヴ
8
(72)発明者 レヴィン, ピーター, アラン
アメリカ合衆国 ニュー ジャージー州
トレントン アール. アール. 4 ダンバー
ドライヴ 38
(74)代理人 弁理士 山田 行一 (外1名)

(54)【発明の名称】 CMOS画像センサに対する直流オフセット及び利得訂正

(57)【要約】

画像システム(100)の画像器のCDS回路列の回路を
相関二重サンプリング回路(150)の間の差を訂正する
画像システム及び方法。初期値を有する複数の利得訂
正係数と初期値を有する複数の直流オフセット訂正係数
が記憶される。基準直流オフセット値と基準利得値が決定され(303)、各CDS回路に対する直流オフセット値と利得値を、基準直流オフセット値と基準利得値とそれぞれ比較し、この比較に応じて、複数の利得訂正係数と複数の直流オフセット訂正係数が更新される。



【特許請求の範囲】

1 画像器の相関二重サンプリング (CDS) 回路行のCDS回路間の差を訂正する方法であって、

- (a) 初期値を有する複数の利得訂正係数を記憶するステップと；
- (b) 初期値を有する複数の直流オフセット訂正係数を記憶するステップと；
- (c) 基準直流オフセット値と基準利得値を決定するステップと；
- (d) 各CDS回路の為の利得値と直流オフセット値を決定するステップと；
- (e) 各CDS回路の為の利得値と直流オフセット値を、基準直流オフセット値および基準利得値とそれぞれ比較するステップと；
- (f) 前記比較に応じて、複数の利得訂正係数および複数の直流オフセット訂正係数を更新するステップと；を備える方法。

2 ステップ (c) は：

(1) ゼロ変更信号を基準CDS回路の入力部に印加し、基準直流オフセット値を決定する為に基準CDS回路により出力されたゼロ出力値を測定する、ステップと；

(2) フルウェル信号を基準CDS回路の入力部に印加し、基準フルウェル出力値を決定する為に上記基準CDS回路により出力されたフルウェル出力値を測定し、更に、ゼロ変更信号、フルウェル信号、基準直流オフセット値、基準フルウェル出力値に応じて、基準利得値を計算するステップと；を有する、請求項 1 記載の方法。

3 ステップ (c) は、

(1) ゼロ変更信号を基準CDS回路の入力部に印加し、電流基準直流オフセット値を決定する為に基準CDS回路により出力されたゼロ出力値を測定するステップと；

(2) フルウェル信号を基準CDS回路の入力部に印加し、フルウェル出力値を決定する為に基準CDS回路により出力されたフルウェル出力値を測定し、更に、ゼロ変更信号、フルウェル信号、基準直流オフセット値、基準フルウェル出力

値に応じて電流基準利得値を計算するステップと；

(3) 電流基準直流オフセット値および複数の前の基準直流オフセット値の移動平均を計算することにより、基準直流オフセット値を決定するステップと；

(4) 電流利得オフセット値および複数の前の基準利得値の移動平均を計算することにより、基準利得値を決定するステップと；とを有する請求項1記載の方法。

4 記憶された直流オフセット及び利得訂正係数に応じて、各CDS回路の出力を訂正するステップを更に含む、請求項1記載の方法。

5 ステップ(e)は、各CDS回路の為の利得値及び直流オフセット値の差と、上記基準直流オフセット値及び基準利得値の差との符号をそれぞれ計算するステップを含み；ステップ(f)は、前記各訂正係数に対応した差の符号に応じて、ステップサイズにより、各訂正係数を増加または減少するステップを有する、請求項1記載の方法。

6 画像器のCDS回路行の相関二重サンプリング(CDS)回路間の差の為に修正する手段を提供する画像システムであって；

(a) 初期値を有する複数の利得訂正係数および初期値を有する複数の直流オフセット訂正係数を記憶する記憶手段と；

(b) 基準電流オフセット値および基準利得値を決定する手段と；

(c) 直流オフセット値および各CDS回路の為の利得値を決定する手段と；

(d) 直流オフセット値および各CDS回路の為の利得値を、基準直流オフセット値および基準利得値と、それぞれ比較する手段と；

(e) 前記比較に応じて、複数の利得訂正係数および複数の直流オフセット訂正係数を更新する手段と；とを備える画像システム。

7 (b) 手段は：

(1) ゼロ変更信号を基準CDS回路の入力部に印加し、上記基準CDS回路により出力されたゼロ出力値を測定して基準電流オフセット値を決定する手段と；

(2) フルウェル信号を上記基準CDS回路の入力部に印加し、上記基準CDS

回路により出力されたフルウエル出力値を測定して基準フルウエル出力値を計算し、かつ、上記ゼロ変更信号、フルウエル信号、基準直流オフセット値、基準フルウエル出力値に応じて、基準利得値を計算する手段と；を備える、請求項6記載の画像システム。

8 (b) 手段は：

(1) ゼロ変更信号を、基準CDS回路の入力部に印加し、上記基準CDS回路により出力されたゼロ出力値を測定して電流基準電流オフセット値を決定する手段と；

(2) フルウエル信号を、基準CDS回路の入力部に印加し、基準CDS回路により出力されたフルウエル出力値を測定して基準フルウエル出力値を決定し、かつ、上記ゼロ変更信号、フルウエル信号、基準直流オフセット値、基準フルウエル出力値に応じて電流基準利得値を計算する手段と；

(3) 複数の前の基準電流オフセット値および上記電流基準直流オフセット値の移動平均を計算することにより、基準直流オフセット値を決定する手段と；

(4) 複数の前の基準利得値および上記電流利得オフセット値の移動平均

を計算することによって基準利得値を決定する手段と；を備える、請求項6記載の画像システム。

9 記憶された直流オフセットおよび利得訂正係数に応じて、各CDS回路の出力を訂正する手段を更に備える、請求項6記載の画像システム。

10 (d) 手段は、各CDS回路の為の利得値及び直流オフセット値間の差と上記基準直流オフセット値及び基準利得値間の差の符号をそれぞれ計算する手段を備え；(e) 手段は、前記各訂正係数に対応した差の符号に応じて、ステップサイズにより、各訂正係数を増加または減少する手段を含む、請求項6記載の画像システム。

11 (1) ピクセルセンサ回路のアレイのピクセル回路により与えられた出力信号をサンプリングするCDS回路行と；

(2) CDS回路の行の各CDS回路の入力、出力、制御ラインに結合されたブ

ロセッサであって：

- (a) 初期値を有する複数の利得訂正係数を記憶し；
- (b) 初期値を有する複数の直流オフセット訂正係数を記憶し；
- (c) 基準直流オフセット値および基準利得値を決定し；
- (d) 各CDS回路の為の利得値および直流オフセット値を決定し；
- (e) 各CDS回路の為の利得値および直流オフセット値を、基準利得値および基準直流オフセット値とそれぞれ比較し；
- (f) 前記比較に応じて、複数の利得訂正係数および複数の直流オフセット訂正係数を更新する前記プロセッサと；を備える、画像システム。

1 2 ゼロ変更信号を基準CDS回路の入力部に印加し上記基準CDS回路により出力されたゼロ出力値を測定して基準直流オフセット値を決定すること；お

よびフルウエル信号を基準CDS回路に印加し上記基準CDS回路により出力されたフルウエル出力値を測定して基準フルウエル出力値を決定し、かつ、上記ゼロ変更信号、フルウエル信号、基準直流オフセット値、基準フルウエル出力値に応じて基準利得値を計算すること；により、プロセッサが基準直流オフセット値と基準利得値とを決定する、請求項11記載の画像システム。

1 3 ゼロ変更信号を基準CDS回路の入力部に印加し上記基準CDS回路により出力されたゼロ出力値を測定して基準直流オフセット値を決定すること；およびフルウエル信号を基準CDS回路に印加し上記基準CDS回路により出力されたフルウエル出力値を測定して基準フルウエル出力値を決定し、かつ、上記ゼロ変更信号、フルウエル信号、基準直流オフセット値、基準フルウエル出力値に応じて電流基準利得値を計算すること；上記電流基準直流オフセット値及び複数の前の基準直流オフセット値の移動平均を計算すること；電流利得オフセット値及び複数の前の基準利得値を計算することにより基準利得値を決定すること；により、プロセッサが基準直流オフセット値と基準利得値とを決定する、請求項11記載の画像システム。

1 4 上記プロセッサは、前記差異の符号に応じてステップサイズにより各訂正係数を増加または減少することにより前記比較に応じて、複数の利得訂正

係数および複数の直流オフセット訂正係数を更新する、請求項11記載の画像システム。

15 (a) CDS回路行と；

(b) 初期値を有する複数の利得訂正係数と初期値を有する複数の直流オフセット訂正係数とを記憶するメモリ手段と；

(c) 基準直流オフセット値と基準利得値とを決定する手段と；

(d) 各CDS回路の為の利得値と直流オフセット値とを決定する手段と；

(e) 各CDS回路の為の利得値と直流オフセットを、基準直流オフセット値と基準利得値とそれぞれ比較する手段と；

(f) 前記比較に応じて、複数の利得訂正係数と複数の直流オフセット訂正係数とを更新する手段と；とを備える画像システム。

【発明の詳細な説明】

CMOS画像センサに対する直流オフセット及び利得訂正発明の分野

本発明は、画像装置に関し、特に、相補型金属酸化膜半導体 (CMOS) 画像センサの相関二重サンプリング (CDS) 回路に対する直流オフセット及び利得訂正に関する。

関連技術の説明

多種多様の画像装置や画像センサが今日、使われており、そこには電荷結合素子 (CCD) 画像センサおよび相補型金属酸化膜半導体CMOS画像センサが含まれている。CMOS画像センサは、通常、能動ピクセル画像センサと相関二重サンプリング (CDS) 回路や増幅器の列やレジスタを利用し、上記アレイのピクセル画像センサの所定列の出力をサンプリングして保持する。ピクセルアレイの各能動ピクセル画像センサは、通常、ピクセル増幅装置 (通常、ソースフォロワー) を含む。能動ピクセルセンサ (APS) という用語は、各ピクセルに付随するトランジスタのような能動装置内の電子画像センサに関連する。CMOS画像センサは、しばしば互換性良く、CMOS APS画像装置として、或いはCMOS能動ピクセル画像センサとして、言及される。能動ピクセル画像センサおよびアレイの各ピクセルの為に伴う回路は、本願ではAPS回路として言及される。

CMOS画像センサは、CCD画像センサより、幾つかの利点を有する。例えば、CCD

画像センサは、複雑な製作条件および相対的に高いコストのため、CMOSプロセス周辺回路と簡単には一体化されない。しかし、CMOS画像センサは、CMOS画像センサを作動する為に必要な周辺回路と同一のCMOSプロセス技術で形成されることから、集積回路製作プロセスを用いて、チップ上の単一システムに一体化するのは簡単である。CMOS画像センサを用いることにより、ロジック及びタイミング、画像処理、アナログ・デジタル処理 (A/D) 変換のような信号処理回路の全てを単一センサチップ内に有することが可能である。このように、CCD画像センサと比較すると、CMOSセンサを、標準CMOS IC製作プロセスを用いて、低コストで製造することができる。

その上に、CCD画像センサは、通常、それらを駆動する為に別個の電源を備えた3つの異なる入力電圧を要する。また、CCD画像センサは、比較的到高電圧を要し、そのため、比較的に高い動作電力も要する。対照的に、CMOS装置は、単に単一電源を要するだけで、それは、周辺回路を駆動する為にも使用可能である。これにより、CMOS画像センサは、電力消費という観点、また、電源用に向けられたチップ領域や「不動産」量という観点からも、利点を有する。CMOS画像センサは、動作に要求される比較的に低い電圧電源の為、また、APSアレイ内のたった一つのピクセル列だけが読み出し中に有効であればよいため、比較的、低い電力条件を有する。

しかし、これらの利点にも拘わらず、CMOS画像センサも、CCD画像センサとの比較において、いろいろな欠点を有する。例えば、在来のCMOSセンサ構造では、選択またはAPSピクセル回路の有効行は、水平ブランキング期間中、CDS回路の行に並行して読み出される。その後、CDS回路の行の出力は、横シフトレジスタによって迅速にスキャンされ、共通出力ポートに対しそのラインが読み出される。この方法における一つの問題は、CDS回路間のいかなる不整合も、捕捉画像で列固定パターン雑音 (FPN) のアーチファクトが生じる点である。そのような不整

合は、通常、CDS回路によって与えられる信号増幅及び処理における異なる直流及び利得オフセットに起因する。CMOS画像センサによって与えられるFPNアーチファクトは、それらが画像を横切ってランダムに分布しておらず、列毎のベースで一列になっていることから、通常、非常に明らかである。CCD装置は、通常、FPNアーチファクトになる傾向は少なく、捕捉された実際の信号電荷は、直列CCDレジスタに伝達されて記憶され、そのため、列から列への信号利得及びオフセットの差によって影響されない。

したがって、現在のCMOS画像センサは、過度のFPNの為、更に、限られた (過度のFPNによって、部分的に減じられた) ダイナミックレンジ (約72 dB) と、低感度になる低い充填比 (APSピクセル回路の全領域に対する光検出器領域の比) の為、CCD画像器と比べて、未だに劣った画像性能を有する。したがって、改善されたCMOS画像センサが必要になっている。

概要

画像システムと、画像システムの画像器のCDS回路の行の相関二重サンプリング (CDS) 回路間の差の為の訂正方法。一実施例によると、初期値を有する複数の利得訂正係数と、初期値を有する複数の直流オフセット訂正係数が記憶される。基準直流オフセット値と基準利得値とが決定され、各CDS回路に対する利得値及び直流オフセット値が決定される。各CDS回路に対する利得値及び直流オフセット値は、基準利得値及び基準直流オフセット値とそれぞれ比較され、複数の利得訂正係数及び複数の直流オフセット訂正係数が前記比較により更新される。

図面の簡単な説明

本発明の、これら及び他の特徴、態様、利点は、以下の説明、付加されたクレーム、添付された図面により、より明らかになるであろう。

図1は、本発明の一実施例による、CMOS画像センサAPSピクセル回路と、列パラレルスイッチコンデンサ型相関二重サンプリング (CDS) 回路である。

図2は、本発明による、図1のAPS回路とCDS回路を動作させる為に使用される波形を示すタイミングダイアグラムである。

図3は、本発明の一実施例による、図1のCDS回路の残留直流列オフセット及び利得オフセットを訂正し、列固定パターンノイズを減じる為の方法を示すフローチャートである。

好適実施例の説明

CMOS画像センサ回路

図1を参照すると、そこには、本発明の一実施例による、CMOS画像センサのAPS回路110および列パラレルスイッチトコンデンサ型CDS回路150の回路図が示されている。一実施例において、APS回路110は、640 (H) × 480 (V) の内の一つである。APSアレイ (図示せず) とCDS回路150は、640個のCDS回路行の一つであり、APSアレイの各列に対する一つである。

動作において、APSアレイの所定のラインや行の表示に先立つ水平ブランキング期間中、APS回路の所定行が起動される。各APS回路は、前の集積期間中 (光検出器が電荷を集積する期間中)、APS回路の光検出器に印加されてきた光の強度

に関連した出力電圧を供給する。有効化された行の各APS回路の出力信号は、同一列の為にCDS回路によってサンプリングされて保持される。その後、640個のCDS回路の各々の出力は、連続的にバッファに印加され、各列の信号は、増幅

され、必要に応じて、更なる信号処理の為にA/Dコンバータ（図示せず）に印加され、モニタ（図示せず）に表示される。

改善された充填比を有するAPS回路

APS回路110は、アレイの一つのピクセルを表わすが、それは、光検出器116と3つのNMOS電界効果型トランジスタM1、M2、M3を備えている。一実施例において、光検出器116は、n-チャンネル光検出器に埋め込まれたバーチャルゲートである。APS回路110は、伝達ゲート信号TR、位相リセット信号PR、VRow(y)、Col_Read(x)の信号を供給するバスラインに結合されている。光検出器116は、トランジスタM1のグランド及びソース間に電氣的に結合されている。トランジスタM1のゲート端子は、TR信号ラインに結合され、トランジスタM1のドレイン端子は、トランジスタM2のソース端子とトランジスタM3のゲート端子に結合され、これらの接続点は浮遊拡散（FD）感知ノード115を形成する。PR信号ラインは、トランジスタM2のゲート端子に結合され、ラインVRow(y)はトランジスタM2、M3のドレイン端子に結合されている。トランジスタM3のソース端子は、Col_Read(x)ラインを介してCDS回路150に結合されている。弧形シンボル (x)、(y) は、APSピクセルアレイの列（x座標）または行（y座標）を記述するx-y座標系を言及し、それは、アレイの選択された列と行が、有効化の為に指定されることを許容するものである。

トランジスタM1は、蓄積された光信号電荷の読み出し中、光検出器116からFDノード115までの電荷の移動を制御する為に使用される。トランジスタM2は、基準レベルにFDノード115をリセットする為に使用される。トランジスタM3は、列読み出しラインCol_Read(x)を選定された行で駆動する為に、ソースフォロワーとして使用される。また、トランジスタM3も同様に、APSアレイの他の行が読まれている間中、絶縁スイッチとして役立つ。第4のトランジスタは行選

択用トランジスタと呼ばれるが、このトランジスタはトランジスタM3とCol_Read(x)ラインとの間で直列に結合され、APS回路が読まれていないとき、すなわち、APS回路を含む行が有効でないとき、Col_Read(x)ラインのような共通ラインに結合された、他のAPS回路から上記APS回路を絶縁するという点を除き、前のAPS回路は機能性という点でAPS回路110のトランジスタM3に類似したトランジスタを有する構成を利用する。しかし、APS回路110は、Col_Read(x)出力ラインに行選択トランジスタを通じて結合されるというよりは、その出力が直接Col_Read(x)出力ラインに結合されたソースフォロワートランジスタM3を含む。

行選択用トランジスタにより通常、与えられる絶縁機能は、図2のタイミングダイアグラム200について以下に更に詳細に説明されるように、本発明ではトランジスタM3のドレイン及びゲート電圧を制御することによって実行される。APS回路110は、4つではなくて3つのトランジスタだけを利用するので、チップレイアウトにおいて多くの領域が光検出器に使うことができ、より高い充填比が達成できる。充填比は、APS回路レイアウトの全領域に対する光検出器領域の比率として定義される。

他の実施例において、他の型の光検出器は、P-基板光検出器または光ゲート検出器に対するN+のような、バーチャルゲート埋込み型n-チャンネル光検出器の代わりに光検出器116用に利用してもよい。しかし、バーチャルゲート埋込み型n-チャンネル光検出器は、広いスペクトル帯にわたり優れた量子効率を持ち、完全な電荷移送モードで動作可能であるが、以下に説明するように、CDS回路150によって除外されるFDノード115（後述）上のkTCリセット雑音を許容するものである。さらに、バーチャルゲート光検出器は、多結晶光ゲートが与えるより、良好なブルーレスポンスを与える。しかし、バーチャルゲート検出器の製作には、通常のCMOSプロセスと比較すると2つの付随的実行ステップを要し、そのため、幾つかの既存の低コストIC製作処理では実行できないかもしれない。

比較すれば、フォトダイオード検出器は、標準CMOSプロセスを変形することなく使用することができる。

一実施例において、各APS回路が47%の充填比を有する3-トランジスタNMOS

7.5×7.5 mmの能動ピクセルである場合、APS回路110は、0.5 mmのCMOS単一多結晶トリプル-金属 (SPTM) プロセス設計規則及び技術から形成される。例えば、これを、1/3"光学部品と互換性を有し4.8×3.6 mmの画像サイズを有する640(H)×480(V)APSアレイと共に使用してもよい。他の実施例において、APS回路110は、34%充填比を有する3-トランジスタNMOS 5.6×5.6 mmの能動ピクセルである。例えば、これを、1/4"光学部品と互換性を有し3.6×2.7 mmの画像サイズを有する640(H)×480(V)APSアレイと共に使用してもよい。4以上のトランジスタが各APS回路に利用される場合、獲得可能であるものより、これらの充填比は高い。

スイッチトキャパシタCDS回路

トランジスタM1のゲート端子はLoadラインに結合され、トランジスタM1のソース端子は電流源155に結合され、それは20 mAの負荷電流 I_L を与える。トランジスタM1のドレイン端子はCol_Read(x)ラインを介してAPS回路110の出力に結合され、更に、50 kWの電気抵抗を有する抵抗R1の端子に結合されている。抵抗R1の他の端子は、ゲート端子がサンプル及び保持ラインSHに結合されたトランジスタM4のソース端子に結合されている。

トランジスタM4のドレイン端子は、ノード157で、コンデンサC1を介してグラウンドに結合され、更にコンデンサC2の一端に結合されている。コンデンサC1、C2の各々は、4 pFの容量を有する。コンデンサC2の他の端子は、ノード156でトランジスタM5のソース端子及びトランジスタM6のドレイン端子に結合されて

いる。トランジスタM5のゲート端子はCLラインをクランプする為に結合され、トランジスタM5のドレイン端子は、基準電圧ラインVRに結合されている。トランジスタM6のゲート端子は列選択ラインCol_Sel(x)に結合され、トランジスタM6のソースは水平信号ラインHSigに結合され、それは、バッファ (図示せず)、2 pFの寄生容量Csを通じてグラウンド、更に、トランジスタM7のソース端子に結合されている。トランジスタM7のゲート端子は位相水平リセットPHR信号ラインに結合され、トランジスタM7のドレイン端子は基準電圧ラインVRに結合されている。

CDS回路150では、スイッチM4、M5、M6を伴うコンデンサC1、C2が使用され

、各列にCDS機能を与え、バッファに対し水平読み出しを実行する。このように、入力信号は、以下に詳細に説明されるように、能動装置によって緩衝されることなく、Col_Read(x)ラインを介してCDS回路150により受信され、HSig線に提供される。能動増幅器は、典型的には、信号を緩衝する為に従来技術のCDS回路で使用され、CDS機能と水平読み出し機能を与える。これらの能動増幅器は、直流及び利得オフセットを有し、これらは出力信号のピーク間電圧の0.5%を超えるFPNレベルに貢献する。

APS回路110によってCol_Read(x)ラインに提供された出力信号のクランプ、サンプリング、保持、読み出しする為にスイッチトキャパシタだけを使用することによって、能動増幅器の直流及び/又は利得オフセットの為に列の不整合の主要原因が除去される。主に、列から列へとコンデンサC1、C2の数値間の不整合のため、通常、CDS回路150における残存第二オーダーの直流及び利得不整合が存在する。しかし、コンデンサ整合は、通常、ゲート酸化誘電体を備えて実現されたコンデンサを使用して、通常は0.1%より良好になる。このように、受動スイッチトキャパシタ回路だけを利用して出力ピクセル信号をサンプリング及び保持することにより、CDS回路150は、実質的に列間のFPNをピーク間のCDS出力電圧の0.1%未満に下げる。

CDS回路150の機能は、APS出力電圧の変化を示すノード156のCDS出力電圧を捕らえることであり、その後、CDS出力電圧に基づく電圧をHSigラインに印加する。これを行う為、APS出力電圧の変化は、CDS出力電圧で反映されなければならないが、APS基準電圧及び、APS基準電圧の一部である、いかなるkTC雑音コンポーネントにも反映されてはならない。最初に、更に詳細には以下に説明するが、基準電圧VRとAPS基準電圧との差は、コンデンサC2を横切って印加され、その後、ノード156のCDS出力電圧は、最初に基準電圧VRで、浮遊することが許容される。その後、APS出力電圧が変わった後、新たなAPS出力電圧はノード157に印加され、それは、APS出力電圧の変化と等しい量だけ、ノード156でCDS出力電圧を降下させる。次に、直列容量を形成するようにコンデンサC1、C2はAPS回路110から絶縁され、APS出力電圧はコンデンサC1、C2の直列結合で記憶さ

れるネット正信号電荷として表示される。それから、コンデンサCsは最初に基準電圧VRで充電されていたことから、コンデンサC1、C2および寄生容量Cs間の既知の関係に応じて、ノード156はHSigラインに結合され、それが、HSigラインに新たな電圧を印加する。

CDS回路150は、3つのスイッチ（トランジスタM4、M5、M6）に結合された2つのコンデンサ（C1とC2）を提供することにより、これらの機能を実行することができるが、ここで、第1スイッチ（M4）は、選択的に第1及び第2コンデンサC1、C2の端子の接点（ノード157）を、Col_Read(x)ラインに結合し、このラインが、APS回路110から捕捉されるべき入力信号を供給する。第2スイッチ（M5）は、第2コンデンサ（C2）の第2端子に結合されたノード156を選択的に基準電圧VRに結合し、第3スイッチ（M6）は、ノード156を選択的にHSigラインに結合する。

APS回路及びスイッチトキャパシタCDS回路の動作

ここで図2を参照すると、本発明により、水平ブランキング期間中、図1のAPS回路110とCDS回路150を動作させる為に使用される波形が図示されている。VRow(y)ライン、PR(y)ライン、Loadライン、TR(y)ライン、CLライン、SHラインに印加される入力信号は、プロセッサ120のような多目的プログラムプロセッサ等の信号生成回路によって生成される。

初期リセット

電流列の為の水平ブランキング期間前に、光検出器116は、前の集積期間中に、光検出器116の表面に到達した光の強度に応じて電荷を蓄積または集積してきた。APS回路110を含む行が、行の前の読み込み後にリセットされた後（フレーム表示率にもよるが、従前は通常、1/30又は1/60秒）、集積期間が始まる。行が読まれた後、各APS回路はリセットされ、更に以下に詳細に説明するように、PR(y)ライン上の信号はロー状態からハイ状態（5V）に切り替えられ、TR(y)ライン上の信号はハイ状態（2.5V）からロー状態（0.5V）に切り替えられる。APS回路110がリセットされると、光検出器116は、ほぼ2.0Vの電圧に設定され、TR(y)がロー状態、よってトランジスタM1が開放さ

れるので、APS回路110の残部に関し浮遊状態になる。

集積期間中、光子が光検出器116の表面領域に衝突するので負電荷がたまり、それにより、この期間中に集積された光の強度に応じて、初期電圧2.0Vを下げる。この電圧は、一つには焦点ぼけを避ける為に、最小限のほぼ0Vでクランプされる。焦点ぼけは、ピクセル飽和を越えた過剰電荷が隣接ピクセルにこぼれ、ふれ及び関連画像アーチファクトを引き起こす現象である。このように、水平ブランキング期間の始めでは、2.0Vから0Vの範囲で付随電圧および光検出器116の電荷が存在する。この電荷は、FDノード115に移動され、そこで

、対応する負電圧変化を起こす。その後、この電圧変化は、以下に更に詳細に説明されるように、CDS回路150に移動され、サンプリングされる。

ソースフォロワートランジスタの絶縁機能

前のAPS回路では、VRow(y)ラインは、固定電源電圧を供給する。本発明では、VRow(y)は、水平ブランキング期間中だけ5Vが与えられ、トランジスタM3は、列選択用トランジスタによって以前に与えられていた絶縁機能を提供することができる。VRow(y)がオフ即ち1V信号を与え、PR(y)がハイ状態にあるとき、トランジスタM2はスイッチオンになり、FDノード115をクランプし、トランジスタM3のゲートをVRow(y)の電圧、即ち、ほぼ1Vになる。このように、電流行（そのため、電流APS回路110）が有効でないとき、トランジスタM3のゲート端子は、トランジスタM2を介してVRow(y)によってロー状態に保持され、その（トランジスタM2の）ゲート端子はPR(y)によってハイ状態に保持される。これは、APS回路110とCol_Read(x)ラインとの間で開回路を与えることによりトランジスタM3をスイッチオフに保ち、もって、APS回路110とCol_Read(x)ラインと、Col_Read(x)ラインに結合された他の479個のAPS回路間に絶縁性を提供する。この方法では、ゲート端子の出力電圧をソース端子で列読み出しラインCol_Read(x)に印加するソースフォロワーとして役立つトランジスタM3は、APSアレイの他の列が有効であるとき、すなわち、APS回路110の集積期間中、絶縁スイッチとしても役立つ。

水平ブランキング期間中の出力信号の読出しと捕捉

水平ブランキング期間の始めに、 $V_{Row}(y)$ ライン上の信号は、1 Vから5 Vに切り替わるが、 $PR(y)$ ラインの電圧は5 Vのままである。これにより、FDノード115を $(5 V - V_{tn})$ にリセットするが、ここで、 V_{tn} はトランジスタM2のしき

い値電圧である。 V_{tn} は、ほぼ0.6 Vなので、FDノード115の電圧は、この地点で、ほぼ4.4 Vプラス又はマイナス kTC 雑音の微量分、通常1ミリボルト(0.001 V)未満の大きさ、に設定される。次に、 $PR(y)$ ラインはハイ状態からロー状態に切り替わり、これがトランジスタM2をスイッチオフにし、そのため、FDノード115を浮遊状態にすることを許容し、電荷が光検出器116から移動される時には、電圧が減少する。(kはホルツマン定数、Tは温度、Cは容量の場合) kTC 雑音は、トランジスタM2のMOSチャンネルの抵抗における熱的雑音に起因する。特にリセット状態の例では、 kTC 雑音は0.001 Vであろう。

FDノード115のほぼ4.4 V (+ kTC 雑音) という前提条件の電圧は、十分に高い初期電圧であり、 $TR(y)$ が短時間後にハイ状態に切り替えられるときには、光検出器116からの電荷移動によって引き下げられる。この方法で、FDノード115を再設定することは、そのノードが電荷を光検出器116から移動させることに對し受動的になっていることから、ノードの前提条件又は前充電として言及されてもよい。

次に、Loadラインがハイ状態に切り替わり、それにより、CDS回路150のトランジスタMN1をスイッチオンにし、電流源155が、ソースフォロワートランジスタM3のソース端子を通じて電流を引くことを許容する。 $V_{Row}(y)$ ラインの5 V電位は、ソースフォロワーモードでトランジスタM3に対するドレイン供給として作用する。トランジスタM3は、よって、ソースフォロワー増幅器として作用し、ゲート電圧マイナスほぼ0.6 Vの閾値低下とほぼ等しい電圧を $Col_Read(x)$ ラインで出力する。

そのため、現在の例を用いると、トランジスタM3のゲート電圧がほぼ4.4 V + kTC 雑音 = 4.401 Vであることから、 $Col_Read(x)$ ラインの出力電圧は、光信号電荷がFDノード115に移動される前の期間中、ほぼ3.8 V + kTC 雑音 =

3.801 Vになる。この段階で、Col_Read(x)ラインの電圧 (3.801 V) は、APS基準電圧として言及されてもよいが、これは、光信号電荷がFDノード115に移動される時に生じる電圧差を測定する基準として役立つからである。一般的に、Col_Read(x)上に現われ、ソースフォロワートランジスタM3によって生成される出力電圧は、APS出力電圧として言及されてもよい。CDS回路150で捕捉される信号は、光信号電荷がFDノード115に移動された後のAPS出力電圧とAPS基準電圧との差であり、この基準電圧はkTC雑音による構成要素を含んでもよい。この信号は、FDノード115に移動された光信号電荷量によって生じる差であり、そのため、集積期間中、光検出器116に衝突する光の強度を表わす。

) Loadラインがハイ状態に切り替わった後の次の3 μ sの間、トランスファゲートラインTRは、およそ0.5 Vでロー状態のままであり、クランプパルスCLと同様にサンプル及び保持パルスSHも、CDS回路150に印加され、CDS回路150のコンデンサC2を横切り、出力基準電圧 (マイナスVR) を記憶する。CLとSHがハイ状態になるとき、トランジスタM5、M4はスイッチが開く。これによって、3.801 Vの基準電圧がノード157に印加され、基準電圧VR (3 V) がノード156に印加され、これをCDS出力電圧として言及してもよい。このように、コンデンサC2は、 $(3 - \text{APS基準電圧}) = (3 - (3.8 + \text{kTC雑音})) = (3 - 3.801) = -0.801$ Vの電圧差に対応した電荷を受ける。これにより、kTC雑音は、以下に説明するように、除去される。バーチャルゲート検出器の代わりにフォトダイオードを使うとき、フォトダイオードをリセットすることに付随するkTC雑音は、CDS処理を用いて除去することはできない。この場合、光検出器の容量を10 pFと仮定すると、kTC雑音は、通常、読み出し雑音フロアに、約40 エレクトロンrmsを加える。

) 次に、SHラインがハイ状態の間、CLラインは、ロー状態に切り替えられ、ノード156でCDS出力電圧を浮遊させる。このように、捕捉された光電荷に応じてC

ol_Read(x)ラインのネガティブステップ出力電圧変化によりノード157の電圧が変化するとき、それは、ノード157の電圧より低い0.801 Vのままなので、ノード156のCDS出力電圧は同一量だけ降下する。

CLがロー状態に切り替わった後 $1 \mu s$ 未満に、TR(y)ラインは $0.5 V$ から $2.5 V$ へとハイ状態に切り替わり、トランジスタMLをスイッチオンにする。これによって、光検出器116にて集積期間中に貯えられた電荷は全て、順番に、トランジスタMLを通じてFDノード115に移動される。これにより、蓄積されてきた電荷量に比例し、それ自体、集積期間中のピクセルによって受け取られた光の強度に比例したFDノード115の電圧が下げられる。FDノード115の容量は、光検出器116の容量より幾分、小さくてもよく、電荷は比較電荷＝容量×電圧変化に応じて保存されることから、電圧変化の増幅を引き起こす。一実施例において、この増幅は、ほぼ2のオーダーであり、電荷蓄積により生じる光検出器の負電圧変化は、FDノード115にて、より大きい電圧変化と対応する。例えば、光検出器116にわたり $-0.5 V$ の変化は、FDノード115及びCol_Read(x)ラインでは、 $-1 V$ の変化を引き起こす。

このように、TR(y)ラインが $2.5 V$ に切り替わる時、光検出器116に貯えられる光信号電荷は、FDノード115で切り替えられ、Col_Read(x)ラインにおける負進行信号電圧ステップ (a negative going signal voltage step) を引き起こす。例えば、 $-1 V$ のFDノード115での変化を仮定すると、 $2.801 V = (3.8 V + kTC \text{雑音}) - 1 V$ の場合、FDノード115での電圧は、 $4.401 V$ から $3.301 V$ に降下し、Col_Read(x)ラインの電圧は、 $3.801 V$ から $2.801 V$ に降下する。

SHがハイ状態にある間、Col_Read(x)ラインの新たな出力電圧 ($2.801 V$) は、ノード157でコンデンサC1を横切って印加される。すなわち、ノード1

57の電圧は、 $1 V$ だけ降下し、その変化は感知された光量を表わす。ノード156のCDS出力電圧は、浮遊状態にあることから、($V_R = 3 V$ から) $1 V$ だけ降下し、ノード157の電圧より $0.801 V$ だけ低くなり、よって、 $2.0 V$ の電圧 ($= 2.801 - 0.801$) 又は ($3 - 1$) を有する。このように、Col_Read(x)ラインの電圧変化による電圧変化だけがノード157の新たな電圧に影響を与えるという理由から、kTC雑音は、HSigラインに印加される電圧に影響を与えることから効率よく除外される。

ほぼ $3\ \mu\text{s}$ の間、ハイ状態になり、コンデンサ $C1$ 、 $C2$ の直列接続を、トランジスタ $M4$ 及びそれに結合される残りの回路から絶縁した後、SHラインのサンプル及び保持パルスは、次に、ロー状態に変わる。このように、この点で、結合インピーダンス $2\ \text{pF}$ のコンデンサ $C1$ 、 $C2$ の直列接続を横切る CDS出力電圧は $2\ \text{V}$ になる。したがって、スイッチトキャパシタを使うことにより、この点での CDS回路は、既知容量を横切る既知の基準電圧 (V_R) からの電圧変化を引き起こし、電圧変化は、どの kTC 雑音でもなく、APS出力電圧の変化だけに対応する。APS出力電圧自体の変化が光検出器 116 に蓄積される電荷量と対応するので、CDS出力電圧が当初から既知基準電圧 V であったときから、CDS出力電圧は、光検出器 116 によって集積される光量を決定する為に使用してもよい。

次の集積期間に対するリセット

そのため、この期間の最後に、ノード 156 の電圧は、基準電圧 V_R (通常、 $3\ \text{V}$) マイナス信号電圧コンポーネントに等しくなり、それは、コンデンサ $C1$ 、 $C2$ の直列接続によってネット信号電荷として記憶される。SHラインがロー状態に切り替わった後、ソースフォロワー負荷電流 I_L は、LOADラインをロー状態に切り替えることによって取り除かれ、 $PR(y)$ ラインは $5\ \text{V}$ に切り替わるが、 $TR(y)$ はハイ状態のままである。これが、光検出器 116 をほぼ $2.0\ \text{V}$ にリセットし、その

後、 $TR(y)$ ラインは光検出器を絶縁する為にロー状態に切り替わり、光検出器 116 は再び、次の集積期間の為に電荷を蓄積始める。次に、 $V_{Row}(y)$ ラインはロー状態に切り替えて $1\ \text{V}$ にするが、 $PR(y)$ はハイ状態のままである。上述したように、これがトランジスタ $M2$ がスイッチオンになり、 $V_{Row}(y)$ に対するトランジスタ $M3$ のゲート (FDノード 115) をクランプする。これにより、トランジスタ $M3$ はスイッチオフに保ち、そのため、APS回路 110 及び $Col_Read(x)$ ライン間を絶縁状態にする。

CDS出力電圧の読み出し

ピクセルの電流行又はラインがAPSアレイからCDSの行に水平ブランキング期間中に読まれた後、ピクセル値の行を決定する為に使用されてもよいCDS出力電圧の行は、水平ピクセルレートで水平スキニングシフトレジスタ (図示せず) に

よって生成された信号に応じて、Col_Sel(x)制御ラインをスキャンすることにより、スキャンライン期間中、表示又は他の目的のため、CDS回路を（ノード156から）読み出すことが可能である。各列におけるコンデンサC1及びC2の直列接続により蓄えられたネット信号電荷は、続いて起こるCol_Sel(x)制御ラインの起動によって水平クロックレートで単一出力バスラインHSigに対して迅速にスキャンされる。PHR及びCol_Sel(x)ラインは、重複しないポジ型進行パルスを提供し、HSigラインは、PHRがハイ状態のとき、最初に基準電位 $V_R (= 3\text{ V})$ にリセットされる。その後、PHRラインはロー状態になり、Col_Sel(x)はハイ状態になり、これがC1、C2で蓄えられたネット信号電荷をCsに再分配する。

一実施例において、コンデンサC1、C2は、これらの直列容量がHSigライン上の容量Cs（例えば、2 pF）に等しくなるように選択される。これにより、CDS出力電圧の読み出し後のHSigライン上の信号電圧は、ノード156のCDS出力電圧（現在の例では例えば2 V）及びトランジスタM7のドレインに印加された電圧 $V_R=3$

V又は2.5 Vの平均にされる。そのため、HSigラインでの3.0 Vから2.5 Vの信号変化は、 -0.5 V になり、それは、ノード156のCDS出力電圧において生じた信号変化 -1 V の2分の1である。既知の寄生コンデンサCsが与えられると、既知のコンデンサC1、C2、HSigラインの V_R の初期電圧からの信号変化は、ノード156のCDS出力電圧における信号変化の一定した分数（現在のケースの場合、 $1/2$ ）になり、それ自体、FDノード115の信号変化と同一である。

そのため、HSigラインの信号変化は、以前の集積期間中に光検出器116によって受けられた光量を決定する為に使用できる。例えば、ノード156をHSigラインに結合することによってCDS出力電圧を読んだ後、HSigラインの電圧は3.0 Vから新たな電圧まで減少し、その後、それはバッファに、そしてプロセス回路に印加される。新たな電圧は、基準電圧 $V_R=3\text{ V}$ から減じられ、HSigライン上の信号変化又は差を決定する。この信号変化は、CDS出力電圧の信号変化の2分の1であり、それ自体、APS回路110によって捕捉された信号電荷量に比例する。そのため、新たなHSig電圧及び初期基準電圧間の差は、最も最近の集積期間中、APS回路110の光検出器116に衝突する光量の表示である。

CDS回路150の帯域幅は、 $R1$, $C1$, $C2$ の値を調節することにより制御してもよい。例えば、記述した実施例では、クランプ時間定数は $0.4 \mu s$ であり、それは、 $400 kHz$ の帯域幅に対応する。APS回路110のソースフォロワートランジスタ $M3$ が、 $30 nV/\sqrt{Hz}$ の広帯域雑音レベルを有する場合、その後、ソースフォロワー $M3$ 雑音貢献は、($20 pF$ という FD ノードコンデンサに対し) FD ノード115が言及された約 3.6 エレクトロン rms である。また、説明された実施例におけるように $C1=C2=4pF$ の場合、 $C1$, $C2$, CDS回路150によって生成された kTC 雑音の求積法合計は、 FD ノード115を言及した約 5.7 エレクトロンである。

列利得及び直流オフセット訂正

先に説明したように、CDS回路は、異なる直流オフセット及び利得を有し、それらは捕捉画像内で列FPN加工品になる。信号増幅を目的とする能動装置を使用する従来技術のCDS回路では、これらの異なるパラメータは、典型的に、CDS回路行のCDS回路内で能動装置の異なる直流オフセット及び利得によるものである。前述したスイッチトキャパシタCDS回路150において、能動コンポーネントCDS回路を備えた典型的なものより大きさは小さいけれども、コンデンサの不整合とCDS回路150の他のコンポーネント間の（他のCDS回路に関する）不整合も同様に、異なる利得と直流オフセットに起因し得る。さらに、回路パラメータは、動作中、変えてもよく、列間の直流オフセット及び利得の不整合になる。

ここで提供されているのは、CDS回路150や能動装置CDS回路のようなCDS回路の直流オフセット及び利得における差を訂正し、列FPNを減じる方法である。更に詳細に以下に説明されるように、該方法は、垂直ブランキング期間中、APS画像センサの各列の為のCDS回路の直流オフセット及び利得を測定すること、それから、これらの値の、基準値連続移動平均に対する比較を用いて、これらパラメータにおける差による出力ビデオにおいて表れるFPN加工品に対し訂正することを包含する。この方法は、プロセッサ120により実行されるが、これは、図1の回路ダイアグラム100について上述されたライン $V_{Row}(y)$, $PR(y)$, $Load$, $TR(y)$, CL , SH に印加される入力信号を発生させる為に使用される。

ここで図3を参照すると、そこには、本発明の一実施例による、図1のCDS回路150の直流列オフセット及び利得差を訂正して列FPNを減じる為の方法を図解するフローチャートが示されている。一実施例において、二つのデジタル1-Hデジタル係数ラインメモリおよびレジスタは、各列CDS回路の為の電流直流オフセット及び利得訂正係数を記憶する為に使用されている。どんな訂正もいかな

るCDS回路に必要な(ステップ301)、すなわち、不整合がないことが最初に推定されることから、最初に全ての係数はゼロに設定されている。

次に、基準直流オフセット値を表す「基準ゼロ出力値」が、好ましくは垂直ブランキング期間中(ステップ302, 303)、いかなる訂正係数も適用されない単一の基準CDS回路から得られる。垂直ブランキング期間は、どんなAPS回路の出力もサンプリングするため、列CDS回路の何かが当該期間中には使用されず、そのため、通常は捕捉ピクセル信号を二値化する為に使用されるA/D回路は、その訂正を実行する為に使用することができることから、垂直ブランキング期間が使用するには便利である。

例えば、CDS回路行の最初のCDS回路は、基準CDS回路として選択してもよい。これは、図2のタイミングダイアグラムについて前述したように、基準CDS回路に入力されるCol_Read(x)ラインに「ゼロ変更信号」を印加すること、およびサンプル及び保持及びクランプパルスを、それぞれSH, CLラインを介して、CDS回路に印加することにより、行われてもよい。

この入力ゼロ変更信号入力に応答してCDS回路によって提供された出力信号(すなわち、CDS出力電圧が印加された後のHSigライン上の電圧)は、基準ゼロ出力値として使用してもよい。「ゼロ変更信号」は、光電荷がステップダウンする前にCol_Read(x)ラインに印加されたAPS基準電圧、すなわち、ゼロの光学入力を有するAPS回路によって供給されたAPS出力電圧のような典型的な電圧に等しい。

同様に、「フルウェル出力値」は、フルウェル電圧信号をCol_Read(x)ラインに印加すること、再び、サンプル及び保持及びクランプパルスを基準CDS回路に印加すること(ステップ304)によって、基準CDS回路から得られる。フルウェル電圧信号は、好ましくは、ゼロ以外の電圧である。この入力フルウェル信号

に応答してCDS回路によって供給された出力信号は、基準ゼロ出力値との組み合わせで使用し、基準CDS回路の基準利得を計算してもよい（ステップ305）。

一実施例において、基準利得及び基準ゼロ出力値の連続した移動平均は、メモリ内に記憶される。例えば、平均基準値は、最後の10個の基準利得及び基準ゼロ出力値の平均を表してもよい。これらの値と他のCDS回路の値との間の差はバックグラウンド雑音より少なく変化するかもしれないことから、基準値の移動平均を使用するのが望ましいかもしれない。この方法で移動平均を使用することにより、たとえ、バックグラウンド雑音の変動が、利得及び直流オフセット差に起因したFPNより大きい場合であっても、これらの差を検知するのに役立つ。

そのため、基準利得及び基準ゼロ出力値が、垂直ブランキング期間にステップ303、305で決定されると、そのような最後の10の基準値と一緒に平均することにより、平均基準利得及び平均基準ゼロ出力値が更新される（ステップ306）。この平均化を実行するため、最後の10個の基準利得及びゼロ出力値も、メモリ内に記憶される。他の実施例において、移動平均は多かれ少なかれ最後の10個の基準値で計算することができる。他の別の実施例では、平均化は全く使用されず、単に、電流基準値が、他のCDS回路に対する対応パラメータとの比較の為に使用される。

いったん基準値が得られ、平均基準値が更新されると、対応パラメータ（直流オフセット及び利得）は各CDS回路に対し測定される。入力ゼロ変更信号は、各列用の各CDS回路に印加され、各CDS回路に対するゼロ出力値を発達させる（ステップ311）。これは、垂直（列）Col_Read(x)信号ラインの全てを同時にゼロ変更信号に切り替え、CDS出力電圧によって生じたHSigライン上の出力信号を測定することにより、行うことができる。

同様に、各CDS回路の利得は、フルウェル電圧信号を各CDS回路に印加すること、そのCDS回路に対するフルウェル出力値をCDS出力電圧により生じたHSigライン上で出力信号を測定すること、更に、その利得をフルウェル出力値及び当該回路の為にゼロ出力値を使用することによって計算することにより、算定される（ステップ312）。その後、各CDS回路のゼロ出力値と利得と平均基準ゼロ出力値

と平均基準利得の間の差は、それぞれ、対応する訂正係数を更新する方法に使用される。一実施例では、各CDS回路に対する直流オフセット及び利得の差は、デジタル減算器を用いて算定され、符号ビット、すなわち、所定CDS回路に対する直流オフセット及び利得が、平均基準値より大きい小さいかを決定する。符号ビットに応じて、レジスタに記憶された電流係数値は、以前に決められた増加ステップサイズによって増加又は減少される（ステップ313）。

訂正係数は、水平ピクセルレートで動作するアナログ又はデジタル直流オフセット及び利得訂正回路を制御する為に読み出される。利得及び電流オフセット用訂正係数は、アナログ又はデジタル信号出力のどちらか一方において、チップ上のAPS画像センサに印加されてもよい。アナログ信号訂正は、幾つかの適用例においてコストの利点があり、そこでは、アナログ信号は直接、当該システムによって利用される。また、訂正デジタル出力を、使用することができる。

上述した技術を用いて、デジタルサーボループが使用され、そこでは、フィードバックループに直流オフセット及び利得訂正回路が含まれ、そのため、それらが訂正用の十分なダイナミックレンジを供給する限り、これらの回路の伝達機能は致命的ではない。一実施例では、訂正係数を変更する為のステップサイズは、ランダム雑音によって設定された明らかなしきい値より低くなるように選択されている。

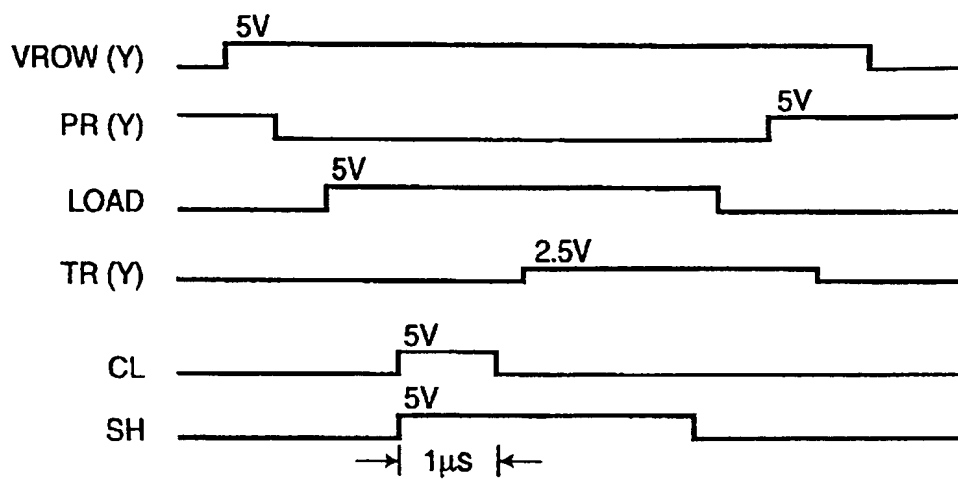
図1のCDS回路に対し、残余直流オフセット及び利得エラーは、ピーク間フルスケールCDS出力電圧の0.1%の範囲内であると期待されている。そのため、そのようなCDS回路150に対する係数訂正を実行するため、デジタル直流オフセット及び利得係数を記憶しエラーで20×減少を達成して最大0.3%の訂正範囲を提供する為に必要な解像度は、およそ60内で1パートである。よって、各列CDS回路に対する2つの6ビット訂正係数は、この方法のFPN訂正を実行する為に利用可能である。従来技術で使用された能動CDS回路のような他のタイプのCDS回路に対し、直流オフセット及び利得エラーは高くなっており、そのため、訂正係数に対し多くのビットが必要である。

この方法では、各CDS回路の係数は、漸次、適切な訂正係数に集中する。現在

の方法も同様に、連続して更新係数が動作中に画像器又は駆動回路パラメータにおける変更を考慮する為に提供されることが許容されている。そのため、現在の方法は、訂正係数を変更し、直流オフセット及び利得オーバータイムにおける変更に応答することができる。これらの変更は、例えば、通常動作中のカメラ温度変化のような小さな電圧又はタイミング変動から生じてよい。そのため、訂正係数は、出力ビデオにおいて表れるであろうFPNアーチファクトの為に訂正する為に使用されてもよい。他の実施例では、CDS回路の利得ではなく直流オフセットだけが訂正されている。

付加クレームで列挙されているように、本発明の原則および範囲から逸脱することなく、当業者によって、この発明の性質を説明する為に上述されてきた部品の詳細、材料、配置における様々な変更がなされてもよいことが理解されるであろう。

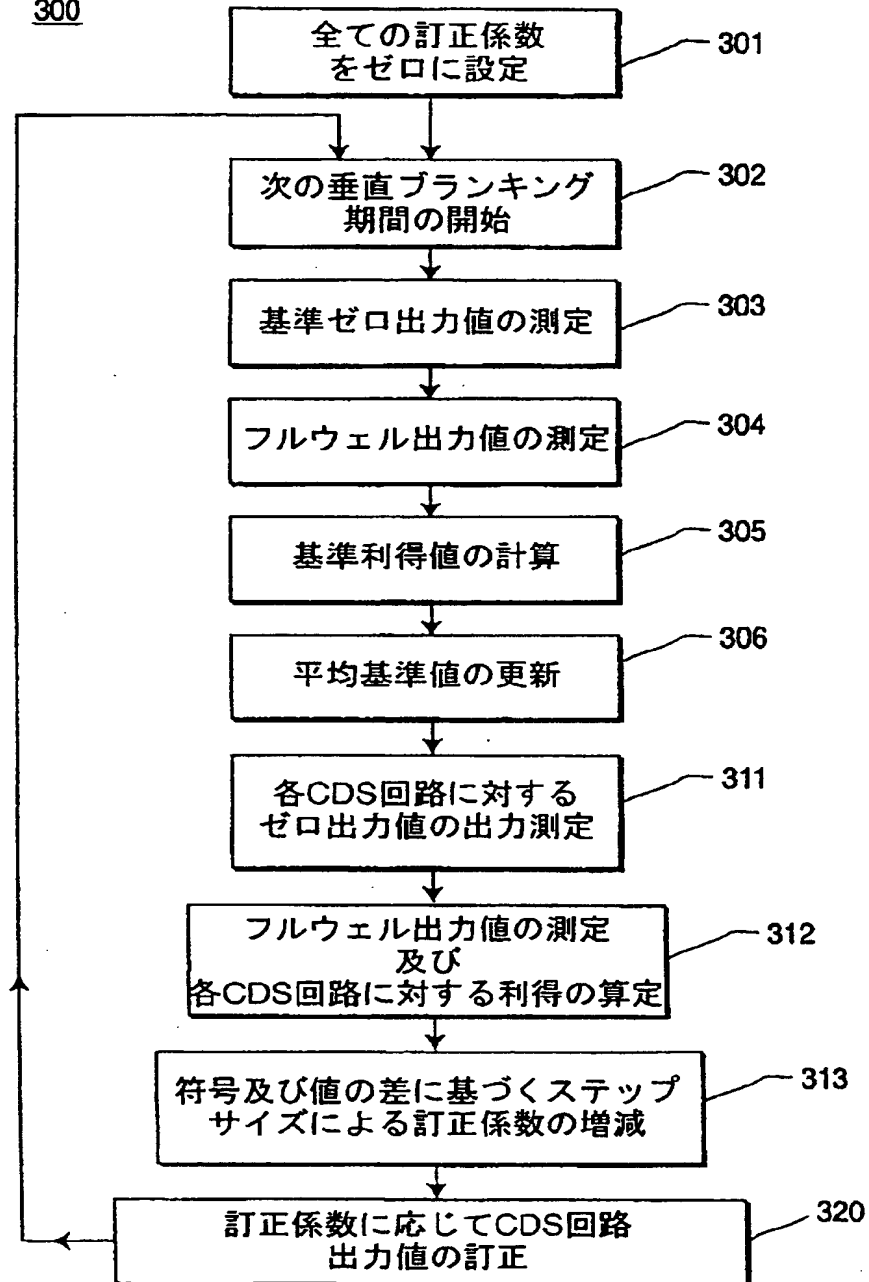
【図2】

200**FIG. 2**

【図3】

FIG. 3

300



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US98/11117

A. CLASSIFICATION OF SUBJECT MATTER

IPC(6) : H04N 5/217

US CL : 348/241

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 348/241, 250, 302, 308; 250/208.1; 327/91, 94

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5,319,263 A (KANNEGUNDLA et al) 07 June 1994, see Fig. 3.	1-15
A	US 5,432,335 A (WEST et al) 11 June 1995, Fig. 5A, col. 6, lines 1-68.	1-15
A	US 4,809,075 A (AKIMOTO et al) 28 February 1989, col. 6, lines 1-68, Fig. 9.	1-15
A	US 5,034,633 A (STEKELBURG) 23 July 1991, col. 2, lines 15-68, Fig. 1.	1-15

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (to be specified)	"Z" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

20 AUGUST 1998

Date of mailing of the international search report

28 SEP 1998

Name and mailing address of the ISA/US
Commissioner of Patents and Trademarks
Box PCT
Washington, D.C. 20231

Facsimile No. (703) 305-3230

Authorized officer

WENDY GARBER

Telephone No. 703-305-4929

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US98/11117

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5,299,032 A (KURITA) 29 March 1994, Fig. 3, col. 4, lines 1-45.	1-15
A	US 4,779,004 A (TEW et al) 18 October 1988, Fig. 10.	1-15